

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-122293
(P2003-122293A)

(43) 公開日 平成15年4月25日 (2003. 4. 25)

(51) Int.Cl. ⁷	識別記号	F I	ページ* (参考)
G 0 9 G 3/28		G 0 9 G 3/20	6 1 2 U 5 C 0 5 8
3/20	6 1 2		6 3 2 C 5 C 0 6 0
	6 3 2		6 5 0 E 5 C 0 8 0
	6 5 0	H 0 4 N 5/66	1 0 1 B
3/288		9/30	
審査請求 未請求 請求項の数 9 O L (全 13 頁) 最終頁に続く			

(21) 出願番号 特願2001-312233(P2001-312233)

(22) 出願日 平成13年10月10日 (2001. 10. 10)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 栗本 健司

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 入江 克哉

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100086933

弁理士 久保 幸雄

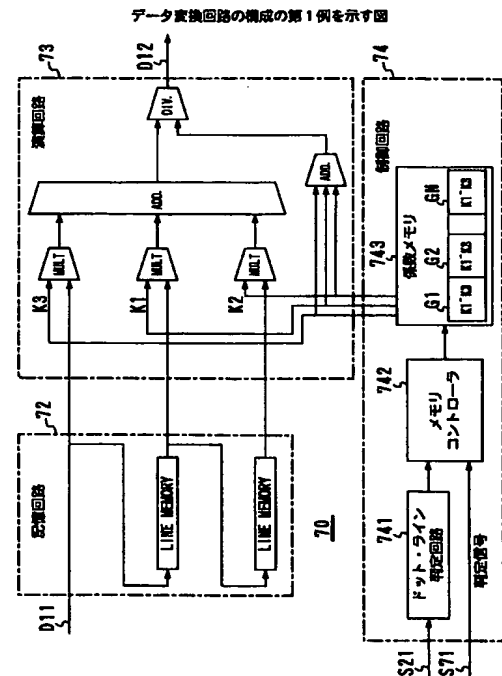
最終頁に続く

(54) 【発明の名称】 カラー画像表示装置

(57) 【要約】

【課題】 入力画像の種類に係らず所定の表示品位を確保することのできる画像表示装置の提供を目的とする。

【解決手段】 デルタ配列画面をもつ表示デバイスおよび駆動回路を備えたカラー画像表示装置において、入力された画像が予め定められた複数の種類のいずれに該当するかを判定する画像判定回路、1 フレーム分の入力画像データの少なくとも一部を一時的に記憶する記憶回路72、記憶回路72から読み出した画像データを含む複数画素分の画像データを基に、予め設定された内容の演算処理を行う演算回路73、および画像判定回路の出力に応じて演算回路における演算処理の内容を切り換える演算制御回路74を設ける。



【特許請求の範囲】

【請求項1】画像信号の形態で入力される画像を表示するカラー画像表示装置であって、

表示制御のための電極マトリクスを有し、カラー表示面を構成するセル群における一方向に並ぶセルの発色が同一であり、かつ同一発色のセル列のうちの隣り合うセル列どうしにおいて列方向のセル位置がずれたセル配列構成をもつ表示デバイスと、

入力された画像が予め定められた複数の種類のいずれに該当するかを判定する画像判定回路と、

1 フレーム分の入力画像データの少なくとも一部を一時的に記憶する記憶回路と前記記憶回路から読み出した画像データを含む複数画素分の画像データを基に、予め設定された内容の演算処理を行い、処理結果を表示データとして出力する演算回路と、

前記表示データに応じて前記電極マトリクスに駆動電圧を印加する駆動回路と、

前記画像判定回路の出力に応じて、前記演算回路における演算処理の内容を切り換える演算制御回路とを備えることを特徴とするカラー画像表示装置。

【請求項2】前記画像判定回路は、プログレッシブ走査画像であるかインタレース走査画像であるかの判定、および動画画像であるか静止画像であるかの判定の少なくとも一方を行う請求項1記載のカラー画像表示装置。

【請求項3】前記記憶回路は、少なくとも1ライン分の入力画像データを記憶するメモリを有し、

前記演算回路は、画像データと演算係数との乗算を行う複数の乗算器と、乗算器出力を加算する加算器と、加算器出力を正規化する演算器とからなり、1フレームの入力画像の中の前記列方向に隣り合う位置関係にある複数の画素の画像データについて演算処理を行い前記演算制御回路は、複数組の係数を記憶する係数メモリを有し、択一選択した1組の係数を前記乗算器に与えることによって、前記演算回路における演算処理の内容を切り換える請求項1記載のカラー画像表示装置。

【請求項4】前記係数の組は、着目画素およびその列方向の隣接画素に対する計3つの係数からなるものである請求項3記載のカラー画像表示装置。

【請求項5】前記記憶回路は、少なくとも1ライン分の入力画像データを記憶するメモリと、同一ライン内の複数画素分の入力画像データを同時に参照するためのデータ遅延手段とを有し、

前記演算回路は、画像データと演算係数との乗算を行う複数の乗算器と、乗算器出力を加算する加算器と、加算器出力を正規化する演算器とからなり、1フレームの入力画像の中の前記列方向に隣り合う位置関係にある画素および前記列方向と交差するライン方向に隣り合う位置関係にある画素の画像データについて演算処理を行い、前記演算制御回路は、複数組の係数を記憶する係数メモリを有し、択一選択した1組の係数を前記乗算器に与え

ることによって、前記演算回路における演算処理の内容を切り換える請求項1記載のカラー画像表示装置。

【請求項6】前記係数の組は、着目画素およびその上下左右の画素に対する計5つの係数からなるもの、または着目画素およびその周辺の画素に対する計9つの係数からなるものである請求項5記載のカラー画像表示装置。

【請求項7】前記表示制御回路は、着目画素に対する係数値が1で他の画素に対する係数値が0である第1の係数の組と、着目画素に対する係数値が0で他の画素に対する係数値が1である第2の係数の組とを記憶しており、入力画像がインタレース走査画像である場合において、一方のフィールドの入力画像に対する演算処理に際して前記第1の係数の組を前記演算回路に与え、他方のフィールドの入力画像に対する演算処理に際して前記第2の係数の組を前記演算回路に与える請求項6記載のカラー画像表示装置。

【請求項8】画像信号の形態で入力される画像を表示するカラー画像表示装置であって、表示制御のための電極マトリクスを有し、カラー表示面を構成するセル群における一方向に並ぶセルの発色が同一であり、かつ同一発色のセル列のうちの隣り合うセル列どうしにおいて列方向のセル位置がずれたセル配列構成をもつ表示デバイスと、

入力された画像が予め定められた複数の種類のいずれに該当するかを判定する画像判定回路と、

1 フレーム分の入力画像データの少なくとも一部を一時的に記憶する記憶回路と前記記憶回路に書き込む以前の画像データおよび前記記憶回路に書き込んでその後読み出した画像データの一方を選択し、選択した画像データを表示データとして出力する選択回路と、

前記表示データに応じて前記電極マトリクスに駆動電圧を印加する駆動回路と、

前記画像判定回路の出力に応じて、前記選択回路の選択動作を切り換える選択制御回路とを備えることを特徴とするカラー画像表示装置。

【請求項9】前記選択制御回路は、入力画像がインタレース走査画像である場合において、

フィールドごとに前記選択回路に対して選択動作を切り換えを指示し、かつ各フィールドの画像データの入力に同期して画素ごとに前記選択回路に対して選択動作を切り換えを指示する請求項8記載のカラー画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はカラー画像表示装置に関し、特にPDP (Plasma Display Panel) を用いる表示に好適である。

【0002】近年、テレビジョンおよびコンピュータ出力の高画質化が進んでおり、自然画像や文字画像といった画像の種類に係らず高品位の表示が可能な表示装置が

望まれている。

【0003】

【従来の技術】大画面を有する表示デバイスとして面放電形式のAC型PDPが商品化されている。ここでいう面放電形式は、輝度を確保する表示放電において、陽極および陰極となる第1および第2の表示電極を、前面側または背面側の基板上に平行に配列する形式である。面放電型PDPの電極マトリクス構造としては、表示電極対と交差するようにアドレス電極を配列した“3電極構造”が一般的である。表示に際しては、表示電極対の一方（第2の表示電極）を表示ライン選択のためのスキャン電極として用い、スキャン電極とアドレス電極の間でアドレス放電を生じさせることによって、表示内容に応じて壁電荷を制御するアドレッシングが行われる。

【0004】特開平9-50768号公報には、3電極面放電型PDPにおいて、画面の表示ライン方向（一般に水平方向）に放電空間を区画する複数の帯状の隔壁を規則的に蛇行させることによって、画面の列方向（一般に垂直方向）の放電干渉を防止する変形ストライプ隔壁構造が提案されている。各隔壁は、それと隣り合う隔壁とともに、広大部と狭窄部とが交互に並ぶ列空間を形成する。広大部の位置は隣り合う列どうしでずれており、各広大部にセルが形成される。各列空間に1色ずつ、隣り合う列空間どうしで発光色が異なるように、カラー表示のためのR、G、Bの蛍光体が配置される。3色の配置形態は、いわゆるデルタ配列（DeltaTri-color Arrangement）である。デルタ配列は、表示ライン方向においてセルの幅が画素ピッチの1/3よりも大きいので、正方配列に比べて開口率が大きくより高輝度の表示を行うことができる。なお、必ずしも水平方向を表示ライン方向とする必要はなく、垂直方向を表示ライン方向とし水平方向を列方向としてもよい。

【0005】従来、デルタ配列のPDPを用いたカラー画像表示においては、各表示ラインが各アドレス電極に沿ったセル列から1個ずつ固定的に選んだセルで構成されていた。

【0006】

【発明が解決しようとする課題】従来においては、次の2つの現象があり、表示が不自然になるという問題があった。

（1）隣り合うセルの位置が垂直方向にずれていることから、水平方向の直線を表示しようとしたときに線がジグザクに見える。

（2）水平方向および垂直方向に対して傾斜した直線を表示しようとしたときに、発光セルの間隔が不均一となる。

【0007】本発明は、入力画像の種類に係らず所定の表示品位を確保することのできる画像表示装置の提供を目的としている。他の目的は、擬似インタレース表示を実現し、それによって列方向の解像度を高めることであ

る。

【0008】

【課題を解決するための手段】本発明に係るカラー画像表示装置は、同一発色のセル列のうちの隣り合うセル列どうしにおいて列方向のセル位置がずれたセル配列構成をもつ表示デバイス、および入力された画像が予め定められた複数の種類のいずれに該当するかを判定する画像判定回路を備え、画像データの入力に呼応して表示面のセル配列に対応した表示データに変換する処理の形態を、画像判定結果に応じて切り換える。データ変換処理手段として演算回路を設ける。表示面の全セルに一律ではなく、セル配列を考慮してセルをグループ分けし、コンボリューション処理に代表される適切な演算を、グループごとに内容を変えて行い、または一部のグループのみに対して行う。その演算結果を表示データとすることにより、直線がジグザクに見える現象を軽減すること、擬似インタレース表示を実現することもできる。演算には、入力画像における隣接するラインの一方または他方のデータを表示データとして選択するデータ処理を含む。

【0009】

【発明の実施の形態】図1は本発明に係る表示装置の構成図である。表示装置100は、 $m \times n$ 個のセルからなる表示面をもつ3電極面放電形式のAC型PDP1、表示素子であるセルに発光のための電力を供給する駆動回路80、画像出力装置からの信号を受ける入力インタフェース60、および本発明に特有の要素であるデータ変換回路70から構成されており、壁掛け式テレビジョン受像機、コンピュータシステムのモニターなどとして利用される。

【0010】PDP1では、表示放電を生じさせるための表示電極X、Yが同一基板上に配列され、表示電極と交差するようにアドレス電極Aが配列されている。計 $(n+1)$ 本の表示電極X、Yは表示面の水平方向に延び、隣り合う表示電極X、Yが面放電を生じさせるための電極対を構成し、かつ画面における1つの表示ラインを画定する。配列の両端を除く表示電極は、2つの表示ライン（奇数表示ラインおよび偶数表示ライン）に係わり、両端の表示電極は1つの表示ラインに係わる。表示電極Yはアドレッシングに際してライン選択のためのスキャン電極として用いられる。

【0011】駆動回路80は、ドライバコントローラ81、サブフレーム処理部82、放電用電源83、Xドライバ84、Yドライバ86、およびアドレスドライバ88を有している。駆動回路80には、データ変換回路70からフレームデータD12とともに同期信号S22が与えられる。サブフレーム処理部82は、前段からのフレームデータD12を階調表示のためのサブフレームデータDs fに変換する。サブフレームデータDs fはフレーム（多値画像）を表す複数のサブフレーム（2値画

像)のそれぞれにおけるセルの発光(点灯ともいう)の要否、厳密にはアドレス放電の要否を示す。Xドライバ84は表示電極Xに対する電位設定手段である。Yドライバ86はスキャン回路を備えており、表示電極Yに対する個別および一括の電位制御が可能に構成されている。スキャン回路はアドレッシングにおける表示ライン選択のための電位設定手段である。アドレスドライバ88は、サブフレームデータDsfに基づいて、計m本のアドレス電極Aの電位を制御する。

【0012】図2は本発明に係るPDPのセル構造を示す図、図3は隔壁パターンを示す図である。図3においては表示電極Yについて参照符号「Y」に配列順を示す添字を付してある。

【0013】PDP1は、一对の基板構体(基板上にセル構成要素を設けた構造体)からなる。表示面を構成する各セルにおいて、一对の表示電極X、Yとアドレス電極Aとが交差する。表示電極X、Yは、前面側のガラス基板11の内面に配列されており、それぞれが透明導電膜41と金属膜(バス電極)42とからなる。表示電極X、Yを被覆する誘電体層17の表面には保護膜18としてマグネシア(MgO)が被着されている。アドレス電極Aは、背面側のガラス基板21の内面に配列されており、誘電体層24によって被覆されている。誘電体層24の上には、高さ150μm程度の蛇行した帯状の隔壁29が各アドレス電極Aの間に1つずつ設けられている。これらの隔壁29によって放電空間が水平方向に沿って一定間隔ごとに区画されている。隣り合う隔壁で挟まれた放電空間である列空間31は全ての表示ラインに跨がって連続している。そして、アドレス電極Aの上方および隔壁29の側面を含めて背面側の内面を被覆するように、カラー表示のためのR(赤)、G(緑)、B(青)の3色の蛍光体層28R、28G、28Bが設けられている。図中の斜体文字(R、G、B)は蛍光体の発光色を示す。蛍光体層28R、28G、28Bは放電ガスが放つ紫外線によって局部的に励起されて発光する。

【0014】図3のとおり、全ての隔壁29は広大部と狭窄部とが交互に並ぶ列空間を形成するように蛇行しており、隣り合う列空間どうしで広大部の列方向位置が列方向セルピッチの半分だけずれている。セルは各広大部に形成されるが、図3では代表として1表示ライン分のセル51、52、53を鎖線の円で示してある。表示ラインは水平方向の最小幅(1画素幅)の直線を表示するときに点灯させるべきセルの集合である。

【0015】図4はセル配列の模式図、図5はカラー表示の画素の構成を示す図である。図4において、セル51の発光色はR(赤)、セル52の発光色はG(緑)、セル53の発光色はB(青)である。図4のとおり、PDP1では、各列空間に対応したセルの集合であるセル列、すなわち垂直方向に一直線状に並ぶセルの発色が同

一であり、隣り合うセル列の発色が異なり、かつ同一発色のセル列の集合(例えばRのセル51の集合)における隣り合うセル列どうしにおいて列方向のセル位置がずれている。

【0016】図5のように、表示面は垂直方向に2セルごと水平方向に3セルごとに区画され、3個のセルを1組とした画素(ドットともいう)50A、50Bが構成される。水平方向に並ぶ2つの隣り合ったドット50A、50Bのうち、一方のドット50Aは逆三角形型の三角配列のセル群となり、他方のドット50Bは正三角形型の三角配列のセル群となる。ドット50Aでは、スキャン電極としての表示電極Yに対して、RのセルおよびBのセルの中心が上側に位置し、Gのセルの中心が下側に位置する。逆に、ドット50Bでは、表示電極Yに対してGのセルの中心が上側に位置し、RのセルおよびBのセルの中心が下側に位置する。ここで、ドット50AにおけるRのセル、ドット50AにおけるBのセル、およびドット50BにおけるGのセルを“上シフトセル”と呼称し、ドット50AにおけるGのセル、ドット50BにおけるRのセル、およびドット50BにおけるBのセルを“下シフトセル”と定義する。

【0017】図6は入力インタフェースの構成図である。入力インタフェース60は、アナログ/デジタル変換器61、ライン補間回路62、ガンマ補正回路63、およびタイミングコントローラ64を有する。表示装置100は種々の画像信号源の接続が可能であるので、入力インタフェース60に入力される画像のサイズ(ドット数×ライン数)は様々である。アナログ/デジタル変換に際して、クロックのタイミングを調整することで、水平方向のドット数を表示パネルのドット数に合わせることができる。垂直方向のサイズ変更はライン補間回路62が担う。ライン補間回路62では、ラインメモリにより1ライン期間のデータ遅延が行われ、隣り合う表示ラインのデータを基に垂直方向セル間の補間演算をする。例えば、上下2ライン間のデータの平均値から新たに1ラインのデータを作り出し、元の2ラインの間に挿入すれば、ライン数を2倍にすることができる。また、作り出した1ラインのデータを、元の2ラインの代わりに出力すれば、ライン数を1/2にすることができる。ガンマ補正回路63は、PDP1の輝度再現特性に適合するようにデータ値を調整する。タイミングコントローラ64は、外部装置からの同期信号S20を用いて画像信号処理の同期をとるとともに、後段の動作に必要な同期信号S21を出力する。

【0018】図7はデータ変換回路の概略図である。データ変換回路70は、画像判定回路71、記憶回路72、演算回路73、および制御回路74からなる。データ変換回路70には、画像データD11、同期信号S21、およびユーザーセレクト信号S30が入力される。ユーザーセレクト信号S30は、テレビ画像入力とコン

ビュータ画像入力との切換え、所望の画質（シャープネスの程度）といった、ユーザーが指定した事項を示す。

【0019】画像判定回路71は、入力される画像のサイズ、画像形式の種類（標準TV画像、高精細TV画像、VGAコンピュータ画像、XGAコンピュータ画像、その他）、および画像情報の種類（静止画像、動画画像、自然画像、グラフィック、文字画像、その他）を判定する。ただし、サイズおよび形式については、入力インタフェース60から判定結果を受け取る形態を採用することもできる。高精細TV画像には擬似インタレース変換による高解像度の表示が有用である。CAD図面のような精密な静止画像にはラインのガタツキ低減処理が有用である。コンピュータ画像であっても、写真と線画とでは好まれる画質が異なるので、画像に適した処理を行うのが望ましい。画像判定結果に対してどのような処理を加えるかについては、様々な画像を表示して客観評価することで、あらかじめ決めておくことができる。

【0020】図8は画像判定回路の構成図である。ユーザーセレクト信号S30は判定ブロック713に入力される。ユーザーが入力画像ソースを明示的に指定した場合には、その指定内容を判定信号S71として出力する。入力画像を自動的に判定するため、動き検出ブロック711および同期検出ブロック712が設けられている。動き検出回路711は、入力画像が文字や写真の表示のように静止画像中心の情報であるか、TV番組のように動画画像中心の情報であるかを判定する。なお、精密な動きベクトルを検出する必要はなく、動き検出回路711は大きな判定ができる程度の簡単な回路でよい。同期検出回路712は、入力画像フォーマットが1080i（HDTV信号）やXGAといった規格化されているものか否かを判定する。規格の判定によって、画像サイズおよびインタレース走査の有無が明らかになる。動き検出回路711および同期検出回路712の出力は判定ブロック713で判定信号S71としてまとめられる。

【0021】以下、データ変換回路70の機能を詳しく説明する。図9は正分配列からデルタ配列へのフォーマット変換の説明図である。一般に画像ソースは、RGB1組のセルからなりかつドットの形状が正方形である正分配列の画面での表示を前提に作成されている。この前提とする画面を仮想画面と呼称する。デルタ配列の表示画面（以下、実画面という）をもつ表示装置100では、仮想画面と実画面とのセル位置関係を踏まえて所定のセルを点灯させる制御が行なわれる。ここでいうデルタ配列画面は、上述のとおり水平方向1セルごとにセル中心が垂直方向にシフトしたものであって、上シフトセルと下シフトセルとで構成される。データ変換回路70は、仮想画面からデルタ配列画面へのフォーマット変換を行う。

【0022】図9（A）は上シフトセルAを仮想画面の

セル中心に一致させる変換処理を示し（下シフトセルBを一致させてもよい）、図9（B）は隣り合う上シフトセルAおよび下シフトセルBからなるセル対の垂直方向中心を、仮想画面セルの垂直方向中心に一致させる変換処理を示している。本発明の実施には、これら2つの処理のどちらか一方を実行する形態と、双方を切り換えて実行する形態とがある。

【0023】図9（A）では、上シフトセルAについては、仮想画面におけるj番目の表示ライン内に位置するので、仮想画面におけるj番目の表示ラインのデータをそのまま配分する。下シフトセルBについては、j番目の表示ラインとj+1番目の表示ラインとに跨るので、j番目の表示ラインとj+1番目の表示ラインのデータ平均値を配分する。上シフトセルAについて実質的に処理を行わず、下シフトセルBのみ処理を行うので、演算動作は1セルおきに演算する間欠動作となる。

【0024】図9（B）では、上シフトセルAについては、j-1番目の表示ラインとj番目の表示ラインとに跨るので、これら2表示ラインのデータを加重平均して配分する。同様に下シフトセルBについては、j番目の表示ラインとj+1番目の表示ラインのデータを加重平均して配分する。上シフトセルAおよび下シフトセルBの双方について処理を行うので、演算動作は連続動作となる。

【0025】図10はデータ変換回路の構成の第1例を示す図である。図10では図7に示した構成のうちの画像判定回路71を省略し、他の部分を詳しく描いてある。図中、MULTは掛け算器、ADDは加算器、DIVは除算器である。記憶回路72は2表示ライン分の入力データを記憶するラインメモリを有し、ドット配列順に入力される画像データD11をリアルタイムで出力するとともに、1ライン伝送時間の遅延を加えた画像データD11および2ライン伝送時間の遅延を加えた画像データD11を出力する。これにより、計3ラインにおける水平方向同一位置のドットのデータが同時に演算回路73に与えられる。演算回路73において、掛け算器は入力データと係数K1、K2、K3との乗算を行う。係数K1、K2、K3は、あらかじめ制御回路74の係数メモリ743に記憶されている複数の係数組G1、G2…GNのうちの1組である。制御回路74において、ドット・ライン判定回路741により、演算回路73へのデータ入力に呼応してそのデータのライン位置およびドット位置が判定される。ドット・ライン判定回路741の出力と前段からの判定信号S71との組み合わせに応じて、メモリコントローラ742は1組の係数K1、K2、K3を係数メモリ743から読み出す。上述の間欠動作の場合は1ドットおきに掛け算器に与える係数が切り換えられ、連続動作の場合はドットごとに係数が切り換えられる。

【0026】図11は演算回路の第1例に係るコンボリ

9 ユーシジョン処理の概念図である。上述した図10の回路は、2ラインのデータ遅延機能をもつので、j-1番目の表示ライン、j番目の表示ライン、およびj+1番目の表示ラインについて、水平方向ドット位置を同じくする垂直方向隣接3ドットに対して演算処理を行うことができる。すなわち、着目ドットおよび上下を合わせた計3ドットの輝度値d1~d3を読み取り、ドット位置ごとに係数K1~K9を定めた演算マトリクス91を適用して着目ドットの表示輝度値D1を算出する。演算式は $D = (K1d1 + K2d2 + K3d3) / (K1 + K2 + K3)$ である。係数K1~K3を適宜選択すること

で、種々の点灯パターンを得ることができる。同処理の適用に際しては、着目ドットのシフト状態（上シフトセルまたは下シフトセル）に合わせて、係数を適宜入れ換えることが重要である。なお、掛け算器に係数K1、K2、K3を与えるのに呼応して、それら係数K1、K2、K3の和（K1+K2+K3）を加算器で求めて除算器に与える図12の構成に限らず、あらかじめ全ての係数組について係数の和を求めて係数メモリ743に記憶させておき、係数組および係数の和を読み出して演算回路73に与えてもよい。

【0027】入力する画像データは、1ドットにつきRデータ、Gデータ、Bデータの3つからなる。この1ドット分のデータをR、G、Bの順にシリアル伝送し、1つの演算回路で順番に処理することができる。この場合は図12の回路は1つでよい。また、図12の回路を3つ設け、Rデータ、Gデータ、Bデータを並列に処理する構成でもよい。この場合、ドット・ライン判定回路741、メモリコントローラ7421、係数メモリ743は3つの回路に共通でよく、3つの異なった演算処理を

10 一斉に実行できる構成であればよい。回路を3つ設ける場合は1つの場合に比べて演算処理速度を遅くすることができる。

【0028】次に、係数K1、K2、K3の具体的な数値とその効果について説明する。図12は正方形列画面における単一色ライン表示の点灯パターンを示す図、図13はデルタ配列画面における単一色ライン表示の点灯パターンを示す図である。

【0029】まず、間欠動作のコンボリユーシジョン演算処理を行う場合を考える。ここでの入力画像は、図12に示すとおり、仮想画面においてj番目の表示ラインのうち1色（例えばR）のセルのみを点灯させることで表示される水平方向の直線を含んでいる。

【0030】上シフトセルはそのまま未処理とし、下シフトセルはその下側の隣接セルとの間で平均値を計算する。このときの係数（K2、K1、K3）としては、上シフトセルに対して（0、1、0）、下シフトセルに対しては（0、1、1）を適用すればよい。図5で示したように1ドット目は、R、Bセルが上シフトであるので、これらに係数組（0、1、0）を適用し、Gセルが

下シフトであるので、これに係数組（0、1、1）を適用する。2ドット目では、R、Bセルは下シフト、Gセルは上シフトになるので、この2つの係数組を入れ換えればよい。さらに表示ライン順を追って説明すると、j番目の表示ライン目のデータ入力時にはj番目の表示ラインのデータは表示ラインメモリに記憶される。次にj+1番目の表示ラインの入力データ時には、j番目の表示ラインのデータとj+1番目の表示ラインのデータとを基にした演算の結果がj番目の表示ラインのデータとして出力され、それと同時にj+1番目の表示ラインのデータが表示ラインメモリに記憶される。入力データのラインタイミングに対して、出力データのラインタイミングは1表示ライン分遅延することになる。このような演算による表示では、図13（A）のように下シフトセルが点灯する部分において点灯輝度が1/2となり、同時にその上側のセルが残りの1/2の輝度で補償点灯する。これにより、下シフトセルの2つの点灯セルの垂直方向重心位置が、上シフトセルの垂直方向位置に一致するので、結果的に水平直線の表示におけるガタツキが低減される。傾斜した線の表示においても同様の効果がある。

【0031】次に、連続動作のコンボリユーシジョン演算処理を行う場合を考える。係数（K2、K1、K3）の一例として、上シフトセルに対して（1、3、0）を、下シフトセルに対しては（0、3、1）を適用する。この場合、j番目の表示ラインの上シフトセルの輝度データにはj-1番目の表示ラインの入力輝度データを少し加算し、下シフトセルの輝度データにはj+1番目の表示ラインの入力輝度データを少し加算することになる。さらに表示ライン順を追って説明すると、j-1番目の表示ラインのデータ入力時にはj-1番目の表示ラインのデータは1段目の表示ラインメモリに記憶される。次に、j番目の表示ライン目のデータ入力時にはj-1番目の表示ラインのデータは2段目のラインメモリに移され、j-1番目の表示ラインのデータが1段目のラインメモリに記憶される。次にj+1番目の表示ラインのデータ入力時には、j-1番目の表示ライン、j番目の表示ライン、およびj+1番目の表示ラインのデータが演算に用いられ、その演算結果がj番目の表示ラインデータとして出力される。それと同時に、j番目の表示ラインデータは2段目のラインメモリに移され、j+1番目の表示ラインのデータは1段目のラインメモリに記憶される。入力データのラインタイミングに対して、出力データのラインタイミングは1表示ライン分遅延することになる。このような演算による表示では、図13（B）のように点灯する上シフトセルおよび下シフトセルそれぞれの上下両側のセルを、元の点灯セル輝度の一部を分配して補償点灯させることになる。その結果、水平直線の表示におけるガタツキが低減される。傾斜した線の表示においても同様の効果がある。なお、例示では係数K

1に対するK2およびK3の割合を3:1としたが、他の割合を設定することで補償点灯輝度を制御し、画像補正の特性を調整することができる。K2、K3の割合が0(ゼロ)のときは未処理であり、0以上としたときにガタツキ補正効果があり、数値を大きくするに従ってガタツキ低減効果が増大する。ただし大きくしすぎると、表示ラインの幅が太くなりすぎ、垂直解像度の低下をまねく。1:1の割合のときはちょうどライン太さが2倍になったように見える。したがって、係数の選定に際しては、K1を1としたときのK2、K3の比率を0よりも大きくかつ1よりも小さくするのがよい。

【0032】図14はデータ変換回路の構成の第2例を示す図、図15は演算回路の第2例に係るコンボリューション処理の概念図である。第2例のデータ変換回路70bでは、上述の第1例の構成に対して6個のレジスタおよび6個の掛け算器が追加されている。第1例と同様に、記憶回路72におけるライン期間分のデータ遅延によって垂直方向隣接ドット間の演算が可能であり、演算回路73bにおけるレジスタを用いたドット期間分のデータ遅延によって、水平方向隣接ドット間の演算が可能となっている。図では2段のラインメモリと、2つずつシリアル接続した3組のレジスタを用いることで、水平・垂直3×3ドット、合計9ドットの入力データ間の演算を行うことができる。これに合わせて、制御回路74bにおいては、それぞれが9個の係数K1、K2、K3、…、K9からなる複数の係数組G1、G2、…、GNを記憶する係数メモリ743bが設けられている。メモリコントローラ742bは、ドット・ライン判定回路741の出力と判定信号S71との組み合わせに応じて、1組の係数K1~K9を係数メモリ743bから読み出す。読み出された係数K1~K9はそれぞれ所定の掛け算器に与えられる。同時に、加算器744によって9個の係数K1~K9の和が求められ、除算器に与えられる。なお、図15の例示は9ドットの演算であるが、入力データのうちd2、d4、d7、d9、および係数のうちK2、K4、K7、K9を用いない演算を採用してもよい。その場合、ラインメモリ、レジスタ、掛け算器、および係数メモリ容量の削減が可能である。

【0033】図14の構成によれば、図10の構成と同様に、ライン表示のガタツキを低減する効果が得られる。また、水平方向の演算処理が行えるので、点灯ドットの水平方向両側のドットを任意の割合で補償点灯させることができる。その際に、表示ラインの太さが垂直方向に太く見えるような場合には、表示ラインを垂直方向にも太く見えるように表示し、太さを均等化することができる。例えば係数として(K5、K1、K6)を(1、5、1)とすればよい。

【0034】さらに図14の構成によれば、入力画像サイズと表示パネルの画像サイズが異なる場合においても、入力画像を表示パネルサイズに合わせることができ

る。例えば水平方向300ドットの画像を、200ドットの表示パネルに合わせる場合、係数(K5、K1、K6)の値として(0、0、1)と(0、1、1)とを追加し、入力データの3ドットごとにつき、1ドット目と3ドット目の期間のみ、データ出力を行う。1ドット目の入力ときは係数(0、0、1)であるため、そのまま出力データとなる。2ドット目入力ときはレジスタへの記憶のみ行われ、出力はしない。3ドット目の入力ときはレジスタへ記憶したデータとの間で、係数(0、1、1)の演算、すなわち平均値計算が行われ、演算結果が出力される。3ドットを1組として処理を行うことで、出力データはドット数を2/3に減らしたものとなる。上記2つの係数について、点灯補正処理を加味した値を設定することにより、画像サイズの変更処理と点灯補正処理とを同時に行うことができる。

【0035】図16はデータ変換回路の構成の第3例を示す図である。第3例のデータ変換回路70cの構成は、上述の第1例の構成から1つのラインメモリおよび掛け算器を除いて簡易化したものである。記憶回路72cは1つのラインメモリからなる。演算回路73cは、除算器の代わりに2で割る演算を実行する1ビット・シフト回路を有する。また、演算回路73cには、演算を加えたデータと演算を加えないデータとを択一選択して出力するセクタ回路(SEL.)が設けられている。このセクタ回路の動作は制御回路74cからの制御信号(DOT-TOGGLE)に従う。データ変換回路70cによれば、1ドットおきの補償点灯を行うことができ、水平ラインや斜めラインの表示におけるガタツキを抑えることができる。

【0036】図17はデータ変換回路の構成の第4例を示す図である。第4例のデータ変換回路70dにおいて、記憶回路72dは第3例と同様に1つのラインメモリからなり、演算回路73dは1つのセクタ回路(SEL.)からなる。セクタ回路は、制御回路74dからの制御信号(DOT-TOGGLE)に従って、ラインメモリによってライン期間の遅延を受けたデータと遅延を受けないデータとを択一選択して出力する。この第4例によれば、次に説明する擬似インタレース変換処理を簡単な回路で実現することができる。

【0037】図18は擬似インタレース変換処理による単一色ライン表示の点灯パターンを示す図である。ここで説明する処理では、1フレームの画像データが奇数フィールドおよび偶数フィールドとして計2回入力される。まず、奇数フィールドにおいて、j-1番目のラインのデータがラインメモリに記憶されているものとする。j番目のラインのデータ入力に呼応して、データ変換回路70dは上シフトセルについてはそのまま遅延なくデータを出力する。次のドットの下シフトセルについては、データ変換回路70dはラインメモリに記憶されているj-1番目のラインのデータを出力する。ドット

ごとの出力切換えを指示する制御信号(DOT-TOGGLE)が制御回路74dから演算回路73dに与えられる。これに対して偶数フィールドにおいては、データ変換回路70dは実質的に処理を行わず、入力データをそのまま出力する。このような動作により、奇数フィールドと偶数フィールドとの間で点灯セルが垂直方向にずれ、水平ライン表示の重心位置が仮想画面のラインピッチPの半分($P/2$)だけずれる。これは、入力画像を垂直方向に $P/2$ だけずらせることであり、フィールドごとにラインが半ピッチずれたインタレース表示を行うことを意味している。一方、駆動回路80(図1参照)は、奇数フィールドおよび偶数フィールドの双方で同じ動作を行っている。つまり、データ変換回路70dの処理により擬似的にインタレース表示を行っていることになる。この擬似インタレース表示は、白色に代表される3色混合色のライン表示にも適用可能である。

【0038】図19は正方配列画面における3色混合ライン表示の点灯パターンを示す図であり、図20はデルタ配列画面における擬似インタレース変換処理による色混合ライン表示の点灯パターンを示す図である。

【0039】図19で示される正方配列の仮想入力画像におけるj番目のラインのデータは、図20で示されるようにデルタ配列画面において、奇数フィールド期間にはj-1番目の表示ラインとj番目の表示ラインと間の位置に表示され、偶数フィールド期間にはj番目の表示ラインの位置に表示される。擬似インタレース変換処理によって、PDP1のライン数Nのほぼ2倍(厳密には $2N-1$)のライン数の入力画像データを、ライン数を間引くことなくインタレース表示することができる。

【0040】以上の擬似インタレース変換処理は、図17の回路に限らず、図10または図14の回路構成を採用して実施することもできる。図10の回路構成においては、例えば係数(K_2, K_1, K_3)として、(0, 1, 0)と(0, 0, 1)を用いればよい。すなわち、奇数フィールドでは掛け算器に(0, 1, 0)をセットし、偶数フィールドでは掛け算器に(0, 0, 1)をセットする。同様に図14の回路では、例えば係数(K_3, K_1, K_8)として、(0, 1, 0)と(0, 0, 1)を用いればよい。

【0041】以上の実施例において、第1例および第2例のデータ変換回路70、70bは重み係数付きのコンボリューション演算を行うものである。別々に設定した複数の演算動作を合成して1回の演算として実行することができる。例えば、ライン表示のガタツキを低減する演算とエッジ強調フィルタ演算とを合わせて行う係数組を設定することが可能である。

【0042】上述の実施例によれば、ラインのガタツキ低減処理または擬似インタレース変換処理は、入力画像の種類(サイズ、形式、情報内容)およびユーザーの指示に応じて切り換えることができる。これにより、効果

的に表示画像を高画質化することができる。

【0043】上述の実施例によれば、入力インタフェース60と駆動回路80と同様の回路をもつ従来の表示装置にデータ変換回路70を組み込むだけで、表示の品質を高めることができ、従来装置構成を変更する場合と比べて、表示性能の向上に伴う製造価格の上昇を最小限とすることができる。

【0044】表示装置の他の例として図21の構成がある。表示装置100eでは、入力インタフェース60bに、本発明に特有のデータ変換回路70eが組み込まれている。データ変換回路70eにライン補間機能を設けることで、補間回路を別に設ける図1の構成と比べて、回路部品点数が減少する。データ変換回路70eでライン補間を行うには、係数メモリの内容を追加し、タイミングコントロール回路64bの制御タイミングを変更すればよい。例えば300ラインの入力画像データを200ラインの表示画面に合わせる場合には、図10または図14の演算回路73、73bを用い、係数(K_2, K, K_3)の値として(0, 0, 1)と(0, 1, 1)とを追加し、入力データの3ラインごとにつき、1ライン目と3ライン目の期間のみ、出力データを行う。1ライン目の入力のはきは係数(0, 0, 1)であるため、そのまま出力データとなる。2ライン目の入力のはきは1段目のラインメモリへの書込みのみ行われ、出力はされない。3ライン目の入力のはきは1段目のラインメモリを経たデータと経ていないデータとに対して、係数(0, 1, 1)の演算、つまり平均値計算が行われる。3ラインを1組として処理を行うことで、出力データはライン数を2/3に減らしたものとなる。ライン補間に際して、例えば上述の補償点灯をさせる演算を合わせて実行する係数を設定し、データ補間とデルタ配列画面での表示のための演算とを同時に実行させることができる。

【0045】本発明は蛇行した隔壁をもつデバイスに限らず、図22のように直線帯状壁体の集合である隔壁59によってデルタ配列の表示面が形成された表示デバイスにも適用可能である。

【0046】

【発明の効果】請求項1ないし請求項9の発明によれば、入力画像の種類に係らず所定の表示品位を確保することができる。また、擬似インタレース表示を実現し、それによって列方向の解像度を高めることができる。

【図面の簡単な説明】

【図1】本発明に係る表示装置の構成図である。

【図2】本発明に係るPDPのセル構造を示す図である。

【図3】隔壁パターンを示す図である。

【図4】セル配列の模式図である。

【図5】カラー表示の画素の構成を示す図である。

【図6】入力インタフェースの構成図である。

【図 7】データ変換回路の概略図である。

【図 8】画像判定回路の構成図である。

【図 9】正方配列からデルタ配列へのフォーマット変換の説明図である。

【図 10】データ変換回路の構成の第 1 例を示す図である。

【図 11】演算回路の第 1 例に係るコンボリユーション処理の概念図である。

【図 12】正方配列画面における単一色ライン表示の点灯パターンを示す図である。

【図 13】デルタ配列画面における単一色ライン表示の点灯パターンを示す図である。

【図 14】データ変換回路の構成の第 2 例を示す図である。

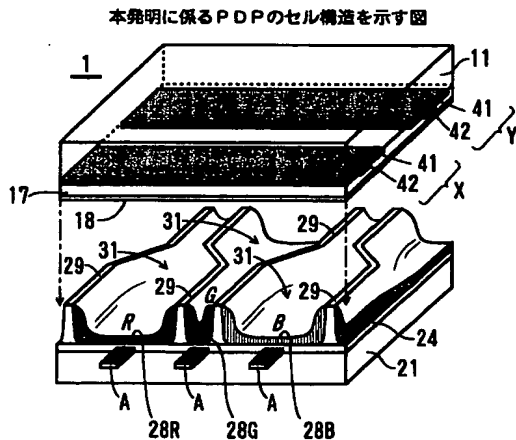
【図 15】演算回路の第 2 例に係るコンボリユーション処理の概念図である。

【図 16】データ変換回路の構成の第 3 例を示す図である。

【図 17】データ変換回路の構成の第 4 例を示す図である。

【図 18】デルタ配列画面における擬似インタレース変換処理による単一色ライン表示の点灯パターンを示す図である。

【図 2】



【図 19】正方配列画面における 3 色混合ライン表示の点灯パターンを示す図である。

【図 20】デルタ配列画面における擬似インタレース変換処理による色混合ライン表示の点灯パターンを示す図である。

【図 21】本発明に係る他の表示装置の構成図である。

【図 22】隔壁パターンの他の例を示す図である。

【符号の説明】

51, 52, 53 セル

10 R, G, B 発光色 (発色)

1 PDP (表示デバイス)

70, 70b, 70c, 70d データ変換回路

100, 100e 表示装置 (カラー画像表示装置)

1 PDP (表示デバイス)

71 画像判定回路

72, 72c, 72d 記憶回路

73, 73b, 73c, 73d 演算回路、

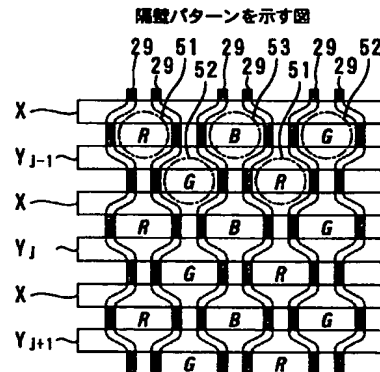
D12 フレームデータ (表示データ)

80 駆動回路

20 74, 74b, 74c, 74d 制御回路 (演算制御回路)

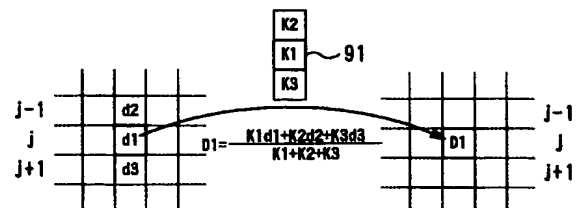
743, 743b 係数メモリ

【図 3】

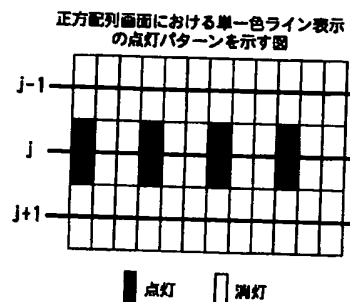


【図 11】

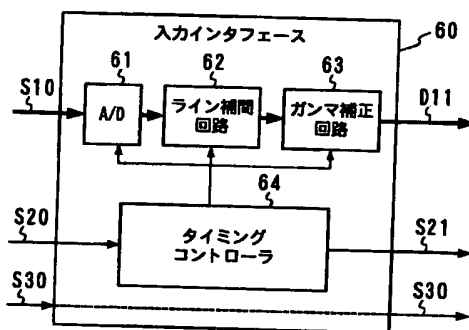
演算回路の第 1 例に係るコンボリユーション処理の概念図



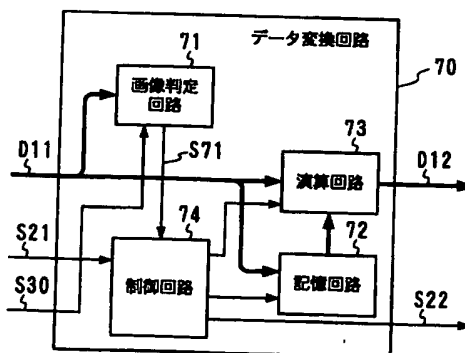
【图 1 2】



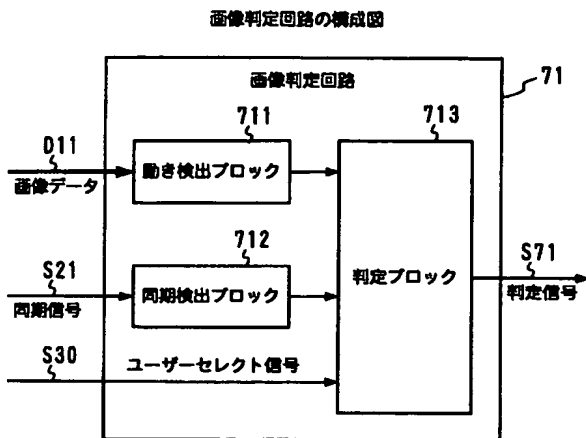
入力インタフェースの構成図



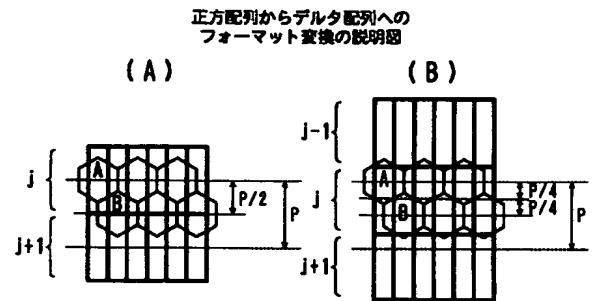
【图 7】



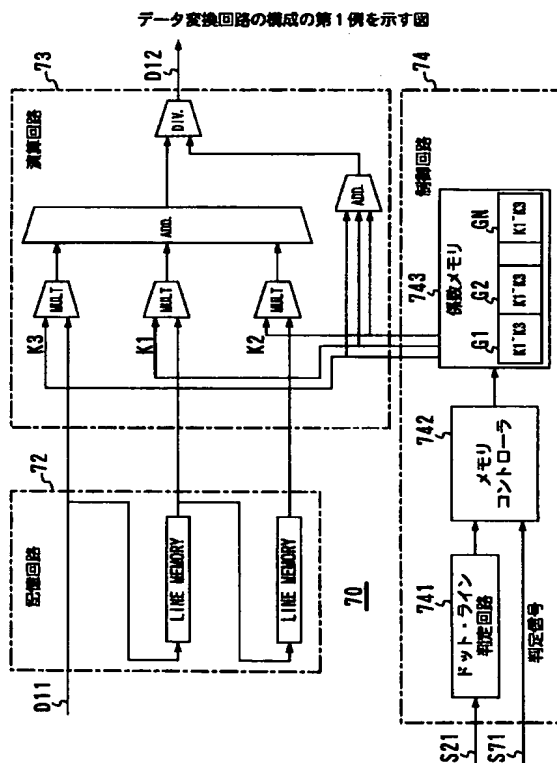
【図8】



【図9】

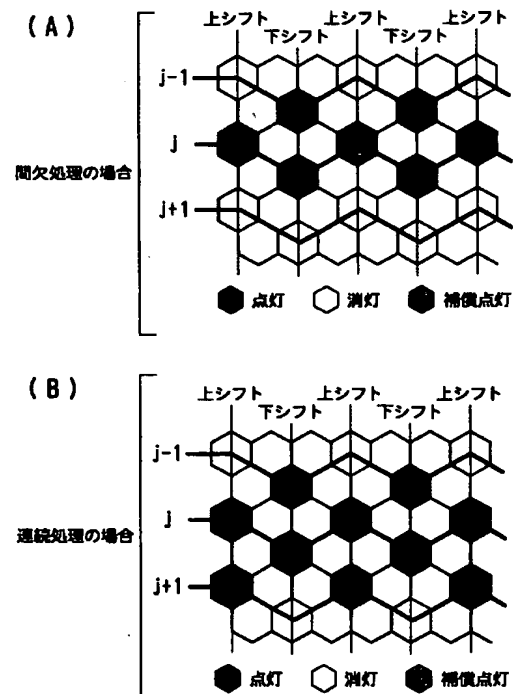


【図10】



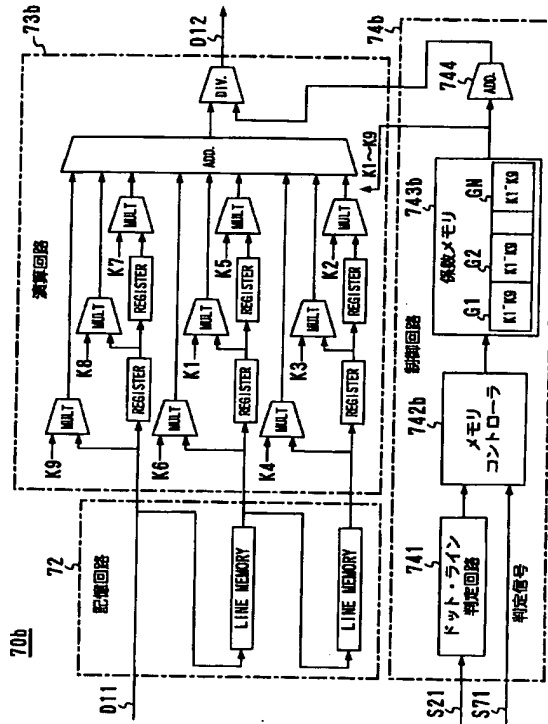
【図13】

デルタ配列画面における単一色ライン表示の点灯パターンを示す図



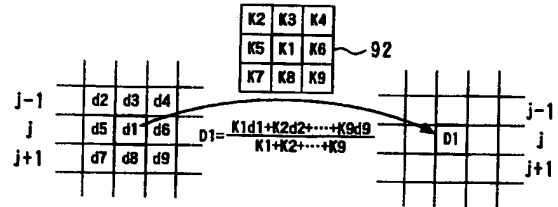
【図14】

データ変換回路の構成の第2例を示す図



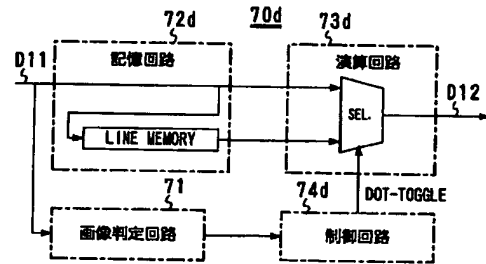
【図15】

演算回路の第2例に係るコンボリューション処理の概念図



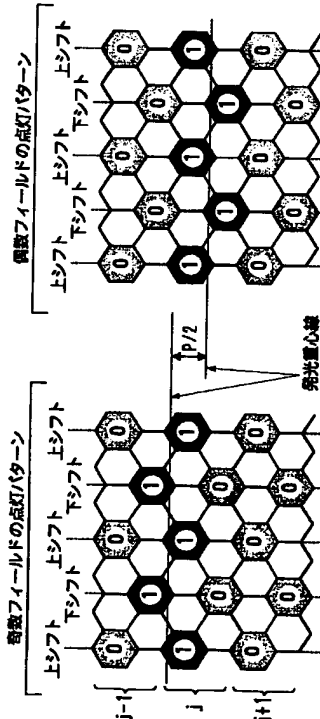
【図17】

データ変換回路の構成の第4例を示す図



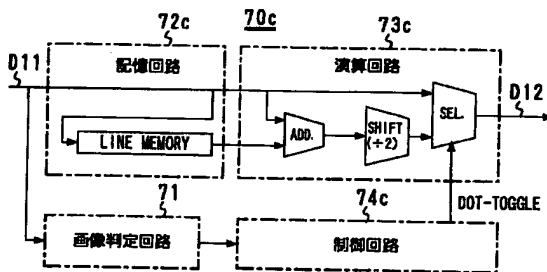
【図18】

デルタ変換画面における類似インタレース変換処理による単一色ライン表示の点灯パターンを示す図



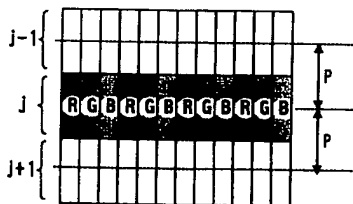
【図16】

データ変換回路の構成の第3例を示す図



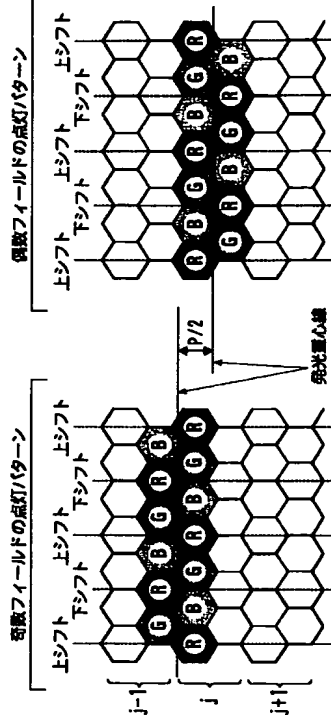
【図19】

正方配列画面における3色混合ライン表示の点灯パターンを示す図



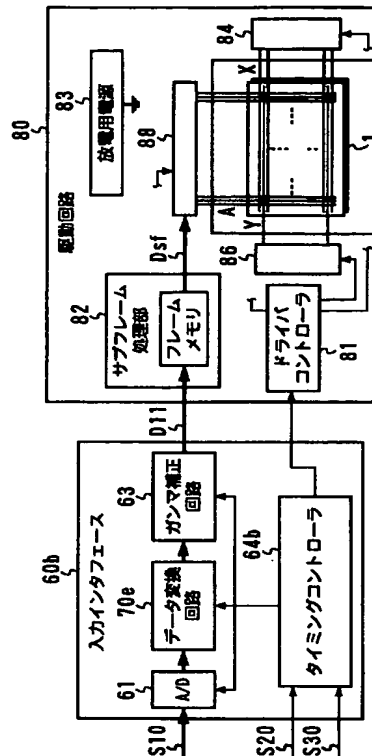
【図20】

デルタ配列画面における擬似インタレース変換処理による
3色混合ライン表示の点灯パターンを示す図



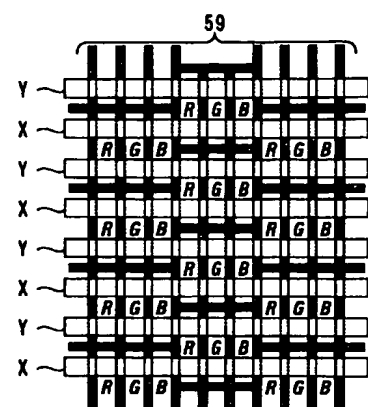
【図21】

本発明に係る他の表示装置の構成図



【図22】

隔壁パターンの他の例を示す図



フロントページの続き

(51) Int. Cl. 7

H04N 5/66
9/30

識別記号

101

F I

G09G 3/28

テ-マコード (参考)

Z
B
E

(72) 発明者 高山 邦夫

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

F ターム (参考) 5C058 AA11 AB02 AB06 BA01 BA14

BA22 BB03 BB13 BB15 BB16
BB22 BB23

5C060 BA02 BA07 BB01 BB07 BC01

HB10 HB27 HD04 JB04

5C080 AA05 BB05 CC03 DD07 EE28

EE32 FF12 GG12 JJ01 JJ02

JJ06

THIS PAGE BLANK (USPTO)